

Krzysztof Świątek

# Laboratorium z maszyn stanów

May 2012

## 1. Wstęp

Celem laboratorium jest przećwiczenie za studentami procesu projektowania i budowy maszyn stanów, FSM ang. *Finite State Machine*. Dla każdej z zadanych maszyn stanów studenci mają narysować diagramy stanów oraz schemat blokowy. Drugim krokiem jest napisania tablic prawdy dla wszystkich funkcji kombinacyjnych znajdujących się na schemacie i dokonanie syntezy z wykorzystaniem tablic Karnaugh. Trzecim elementem jest implementacja otrzymanych funkcji logicznych na modułach PLD i sprawdzenie czy zachowanie otrzymanych układów zgadza się z założeniami.

## 2. Bloki projektu

Cały projekt ma się składać z trzech bloków połączonych szeregowo: generatora liczb pseudolosowych, maszyny wykrywającej zadany ciąg bitowy i generującej na swoim wyjściu jedynekę na jeden cykl zegara i maszyny przedłużającej ten impuls o kilka cykli.

### 2.1. Generator pseudolosowy

Sprzętowo, najprostszy generator pseudolosowy buduje się w oparciu o rejestr przesuwny z bramką XOR lub XNOR w sprzężeniu zwrotnym. Układ taki nazywany jest LFSR ang. *Linear Feedback Shift Register* i może służyć zarówno do generowania pseudolosowej sekwencji bitów jak i słów wielobitowych. Układ taki może być też traktowany jako specyficzny rodzaj licznika o pseudolosowej sekwencji stanów.

Bramka XOR/XNOR znajdująca się w sprzężeniu zwrotnym w ogólności może być wielowejsciowa. Jej wyjście jest zawsze przypięte do wejścia rejestru przesuwnego, a jedno z wejść jest podłączone do wyjścia tego rejestru. Pozostałe bramki podłączamy do wybranych bitów (wyjść przerzutników) rejestru przesuwnego. Konfiguracja połączeń tych „pozostałych wejść” decyduje o rodzaju sekwencji pseudolosowej jaką będzie generowana.

Jeżeli sposób podłączenia bramki XOR/XNOR jest poprawny to generowana sekwencja ma okres  $2^n - 1$  cykli zegarowych, gdzie  $n$  jest liczbą przerzutników. Dodatkowy stan nie mieszczący się w generowanej sekwencji jest nazywany „stanem zabronionym” i w przypadku bramki XOR składa się on z samych zer, a dla bramki XNOR z samych jedynek.

W ćwiczeniu wykorzystamy rejestr 4. bitowy, dla którego sekwencja o maksymalnej długości powstaje jeżeli drugie wejście bramki XOR/XNOR zostanie podpięte do wyjścia przedostatniego lub pierwszego przerzutnika w rejestrze przesuwnym.

## 2.2. Maszyna wykrywająca ciąg

Drugim elementem projektowanego układu jest maszyna wykrywająca zadany ciąg stanów. Po wykryciu zadanego ciągu na wyjściu maszyny pojawia się jedynka na jeden okres zegara. Do wejścia tej maszyny przyłączone jest wyjście z generatora pseudolosowego.

Szukany ciąg powinien być trzy lub czterobitowy np.: 101 albo 1010. Następujące po sobie ciągi mogą się nakładać lub nie w zależności od decyzji prowadzącego. Maszyna stanów może być zarówno maszyna Moore'a jak i maszyna Mealy'ego. Należy jedynie zadbać o to aby następny blok był zrealizowany w oparciu o maszynę przeciwnego typu, aby student mógł przećwiczyć obie konfiguracje.

## 2.3. Maszyna przedłużająca impuls

Trzecim elementem realizowanego projektu jest maszyna która przetworzy impuls o długości jednego cyklu zegara na impuls o długości trzech albo czterech. Jak wcześniej wejście opisywanej tu maszyny jest podłączone do wyjścia poprzedniego bloku.

Maszyna przedłużająca impuls może być zrealizowana na kilka sposobów w zależności od decyzji prowadzącego. Jednym z wyborów jest typ maszyny (Moore lub Mealy) i długość generowanego impulsu związana pośrednio z wybranym typem. Należy się zastanowić jak ma się zachować ten blok jeżeli w trakcie trwania impulsu na wyjściu pojawi się następny impuls na wejściu. Wydaje się że ciekawym rozwiązaniem mogłoby być rozpoczęcie liczenia od początku, przedłużając tym samym impuls wyjściowy.

## 3. Implementacja na PLD

Zaprojektowany układ syntezujemy z użyciem tablic Karnaugh, których wymiar nie powinien, z zadanych wcześniej ograniczeń, przekroczyć liczby 5.

Za względu na ograniczone zasoby i możliwości konfiguracji płyty PLD należy starannie zaplanować poszczególne bloki logiczne wybierając odpowiednio typ maszyny, długość rozpoznawanej sekwencji itp.. Na płycie PLD znajduje się tylko 8 przerzutników typu D więc sumaryczna liczba tych przerzutników wykorzystana w projekcie nie może przekroczyć tej wartości. Warto zdawać sobie sprawę z konieczności scalenia bloków logiki kombinacyjnej dwu następujących po sobie maszyn: bloku wyjściowego z maszyny pierwszej z blokiem wejściowym z drugiej. Z drugiej strony jeżeli pierwsza maszyna jest maszyną Moore'a, a druga Mealy'ego, to wspomniane scalenie jest niemożliwe.

Ograniczone zasoby PLD mogą wymusić przeniesienie części projektu po za tę płytę np. na zwykłe płytki montażowe. Stosunkowo łatwo można to zrobić z generatorem pseudolosowym albo ostatnim stopniem kombinacyjnym drugiej maszyny stanów, pod warunkiem że maszyna ta jest typu Moore'a.